

MANUFACTURE OF THIN FILM TRANSISTOR

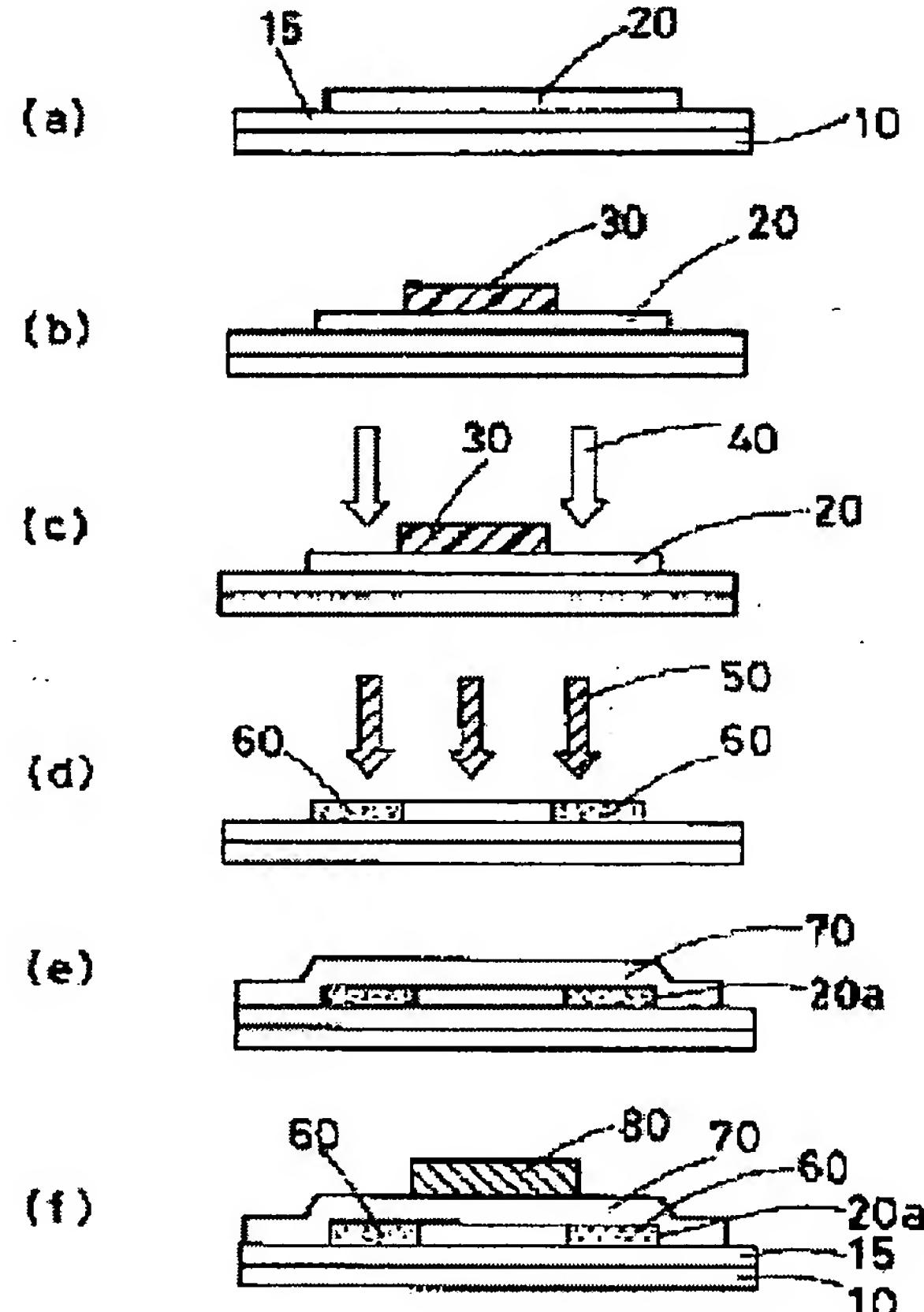
Patent number: JP9246555
Publication date: 1997-09-19
Inventor: URAOKA YUKIHARU; MICHIBAYASHI AKIKO; TSUTSU
HIROSHI; KAWAMURA TETSUYA; YOSHIOKA
TATSUO; MIYATA YUTAKA
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
 - international: G02F1/136; G02F1/1368; H01L21/02; H01L21/20;
H01L21/26; H01L21/265; H01L21/336; H01L27/12;
H01L29/786; G02F1/13; H01L21/02; H01L27/12;
H01L29/66; (IPC1-7): H01L29/786; G02F1/136;
H01L21/20; H01L21/26; H01L21/336; H01L27/12
 - european:
Application number: JP19960046340 19960304
Priority number(s): JP19960046340 19960304

[Report a data error here](#)

Abstract of JP9246555

PROBLEM TO BE SOLVED: To provide the manufacture of a thin film transistor where the activation of impurities implanted into a silicon thin film and the recovery from damage of the silicon thin film caused by impurity implantation can be performed at the same time.

SOLUTION: An oxide film 15 is stacked on a glass substrate 10, and an amorphous silicon thin film 20 is stacked on this oxide film 15, and resist 30 is applied on this amorphous silicon thin film 20, and it is molded in the same pattern as a gate electrode. With the resist as a mask, it is doped with the ions of phosphorus so as to form source and drain regions 60. The resist 30 is removed, and annealing by lamp light application 50 using a halogen lamp is executed from above the amorphous silicon thin film 20. By the lamp light application 50, the amorphous silicon thin film 20 is crystallized, and also the phosphorus of impurities is activated, and also it recovers from the damage caused by doping. Then, a gate insulating film 70 and a gate electrode 80 are made.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246555

(43) 公開日 平成9年(1997)9月19日

(51) Int.CI.⁶
H01L 29/786
21/336
G02F 1/136
H01L 21/20
21/26

識別記号
500

F I
H01L 29/78 627 G
G02F 1/136 500
H01L 21/20
27/12 R
21/26 L

審査請求 未請求 請求項の数12 O L (全9頁) 最終頁に続く

(21) 出願番号 特願平8-46340

(22) 出願日 平成8年(1996)3月4日

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 浦岡 行治
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 道林 亜希子
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 简 博司
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 宮井 善夫

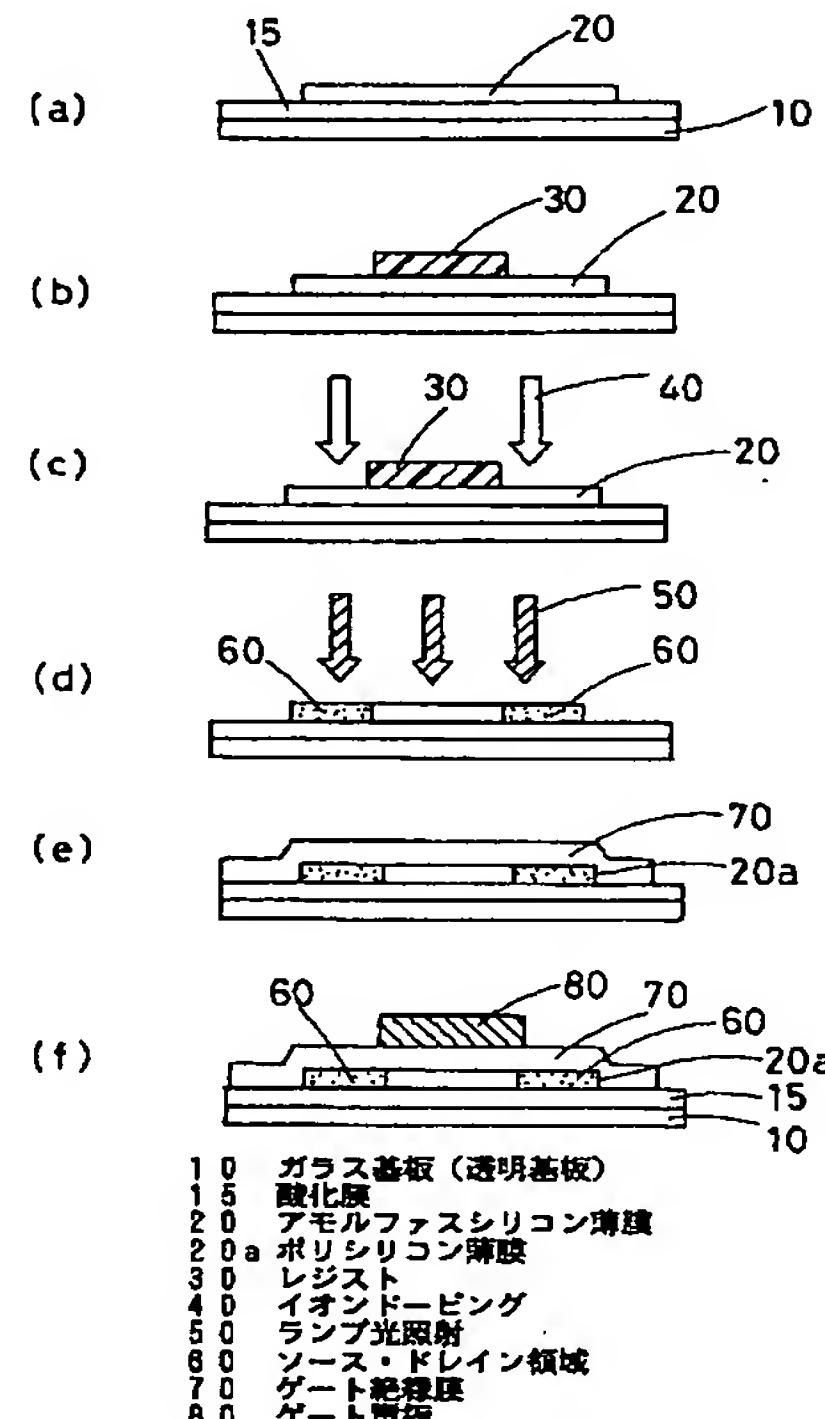
最終頁に続く

(54) 【発明の名称】薄膜トランジスタの製造方法

(57) 【要約】

【課題】 シリコン薄膜に注入した不純物の活性化と、不純物注入により生じたシリコン薄膜のダメージの回復とを同時にすることのできる薄膜トランジスタの製造方法を実現する。

【解決手段】 ガラス基板10の上に酸化膜15を堆積し、この酸化膜15上にアモルファスシリコン薄膜20を堆積し、このアモルファスシリコン薄膜20の上にレジスト30を塗布し、ゲート電極と同じパターンに成形する。レジスト30をマスクにして、燐をイオンドープし、ソース・ドレイン領域60を形成する。レジスト30を除去し、アモルファスシリコン薄膜20上からハロゲンランプを用いたランプ光照射50によるアニールを実施する。ランプ光照射50によって、アモルファスシリコン薄膜20は結晶化され、また、不純物の燐も活性化されるとともに、ドーピングにより生じたダメージも回復する。その後、ゲート絶縁膜70およびゲート電極80を形成する。



1

2

【特許請求の範囲】

【請求項 1】 アモルファスシリコン薄膜に不純物を注入してソース・ドレイン領域を形成する薄膜トランジスタの製造方法であって、

前記不純物を注入したアモルファスシリコン薄膜にランプ光を照射してランプアニール処理を行うことを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 透明基板上に形成されたアモルファスシリコン薄膜上にゲート電極と同じパターンのレジストを形成する工程と、

前記レジストをマスクとしてドナーまたはアクセプタ型の不純物を前記アモルファスシリコン薄膜に注入してソース・ドレイン領域を形成する工程と、

前記不純物を注入したアモルファスシリコン薄膜にランプ光を照射してランプアニール処理を行う工程と、ゲート絶縁膜を堆積する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程とを含む薄膜トランジスタの製造方法。

【請求項 3】 アモルファスシリコン薄膜の代わりに、ポリシリコン薄膜を用いる請求項 1 または 2 記載の薄膜トランジスタの製造方法。

【請求項 4】 透明基板上に形成されたポリシリコン薄膜上にゲート絶縁膜を堆積する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとしてドナーまたはアクセプタ型の不純物を前記ポリシリコン薄膜に注入してソース・ドレイン領域を形成する工程と、

前記不純物を注入したポリシリコン薄膜にランプ光を照射してランプアニール処理を行う工程とを含む薄膜トランジスタの製造方法。

【請求項 5】 ポリシリコン薄膜は、ゲート絶縁膜を堆積する前に、アモルファスシリコン薄膜を結晶化させたものであることを特徴とする請求項 4 記載の薄膜トランジスタの製造方法。

【請求項 6】 ポリシリコン薄膜に不純物を注入した後、ランプアニール処理を行う前に、ゲート電極をマスクとしてソース・ドレイン領域上のゲート絶縁膜を除去することを特徴とする請求項 4 または 5 記載の薄膜トランジスタの製造方法。

【請求項 7】 ランプアニール処理を行う際、透明基板表面に対してランプ光を斜めから照射することを特徴とする請求項 4 または 5 記載の薄膜トランジスタの製造方法。

【請求項 8】 ランプアニール処理を行う際、透明基板の裏面からランプ光の照射を行うことを特徴とする請求項 4 または 5 記載の薄膜トランジスタの製造方法。

【請求項 9】 透明基板とポリシリコン薄膜との間にランプ光を反射する反射板を形成することを特徴とする請求項 4 または 5 記載の薄膜トランジスタの製造方法。

【請求項 10】 ランプアニール処理を行う際、透明基

10

板を回転させながらランプ光の照射を行うことを特徴とする請求項 2, 3, 4 または 5 記載の薄膜トランジスタの製造方法。

【請求項 11】 ランプアニール処理を行う際、透明基板を予め加熱しておくことを特徴とする請求項 2, 3, 4 または 5 記載の薄膜トランジスタの製造方法。

【請求項 12】 ランプアニール処理は、ハロゲンランプを用いて行うことを特徴とする請求項 1, 2, 3, 4 または 5 記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 従来、薄膜トランジスタのソース・ドレイン領域は、アモルファスシリコン薄膜やポリシリコン薄膜に不純物をドーピングし、活性化を行って形成していたが、このソース・ドレイン領域の不純物を活性化するために、水素プラズマ中で高温アニール処理を行っていた。なお、活性化とは、注入された不純物原子または分子から、電気的な伝導に寄与するキャリアを放出させることを意味する。

【0003】

【発明が解決しようとする課題】 しかしながら、アモルファスシリコン薄膜やポリシリコン薄膜に不純物をドーピングすると、薄膜にダメージが入る。ダメージとは、高いエネルギーを持った不純物原子または分子が薄膜に衝突した際、格子欠陥が起こることであり、大きな場合、転移ループが発生したりもする。この欠陥はトランジスタ特性の移動度や信頼性劣化に影響を及ぼす。したがって、不純物の活性化処理は注入時のダメージの除去も同時に行われなければならない。従来の方法では不純物の活性化はできても、ダメージの回復はできなかつた。

【0004】 この発明の目的は、シリコン薄膜に注入した不純物の活性化と、不純物注入により生じたシリコン薄膜のダメージの回復とを同時に行うことのできる薄膜トランジスタの製造方法を提供することである。

【0005】

【課題を解決するための手段】 請求項 1 記載の薄膜トランジスタの製造方法は、アモルファスシリコン薄膜に不純物を注入してソース・ドレイン領域を形成する薄膜トランジスタの製造方法であって、不純物を注入したアモルファスシリコン薄膜にランプ光を照射してランプアニール処理を行うことを特徴とする。

【0006】 このように、ランプ光を照射してアニール処理を行うことにより、シリコンの結晶化と、不純物の活性化と、不純物注入によるダメージの除去とを同時にを行うことができる。また、結晶に急速な加熱をすることによって結晶性のよい、すなわち、電気特性に優れ、電

40

50

気的なストレスに対しても劣化の少ない薄膜トランジスタを製造することができる。

【0007】請求項2記載の薄膜トランジスタの製造方法は、透明基板上に形成されたアモルファスシリコン薄膜上にゲート電極と同じパターンのレジストを形成する工程と、レジストをマスクとしてドナーまたはアクセプタ型の不純物をアモルファスシリコン薄膜に注入してソース・ドレイン領域を形成する工程と、不純物を注入したアモルファスシリコン薄膜にランプ光を照射してランプアニール処理を行う工程と、ゲート絶縁膜を堆積する工程と、ゲート絶縁膜上にゲート電極を形成する工程とを含んでいる。

【0008】このように、レジストをマスクとして不純物を注入した後、レジストを剥離してランプ光を照射することにより、シリコンの結晶化と、不純物の活性化と、不純物注入によるダメージの除去とを同時に行うことができる。また、レジストの剥離により、ソース・ドレイン領域およびチャネル領域となるアモルファスシリコン薄膜全面にランプ光を照射し、結晶に急速な加熱をすることによって結晶性のよい、すなわち、電気特性に優れ、電気的なストレスに対しても劣化の少ない薄膜トランジスタを製造することができる。なお、チャネル領域はトランジスタの特性を上げることにおいて重要な部分であるため、この部分の結晶性を上げることは大切である。

【0009】請求項3記載の薄膜トランジスタの製造方法は、請求項1または2記載の薄膜トランジスタの製造方法において、アモルファスシリコン薄膜の代わりに、ポリシリコン薄膜を用いる。この方法によれば、ランプ光を照射してアニール処理を行うことにより、不純物の活性化と、不純物注入によるダメージの除去とを同時に行うことができる。

【0010】請求項4記載の薄膜トランジスタの製造方法は、透明基板上に形成されたポリシリコン薄膜上にゲート絶縁膜を堆積する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、ゲート電極をマスクとしてドナーまたはアクセプタ型の不純物をポリシリコン薄膜に注入してソース・ドレイン領域を形成する工程と、不純物を注入したポリシリコン薄膜にランプ光を照射してランプアニール処理を行う工程とを含んでいる。

【0011】この方法によれば、ランプアニール処理により、不純物の活性化と、不純物注入によるダメージの除去とを同時に行うことができる。また、ゲート絶縁膜を通してランプ光の照射を行うことにより、熱が逃げにくく保温効果が高くなり、結晶性のよい薄膜トランジスタを製造することができる。請求項5記載の薄膜トランジスタの製造方法は、請求項4記載の薄膜トランジスタの製造方法において、ポリシリコン薄膜は、ゲート絶縁膜を堆積する前に、アモルファスシリコン薄膜を結晶化させたものであることを特徴とする。

10

【0012】この方法によれば、請求項4と同様の効果がある。請求項6記載の薄膜トランジスタの製造方法は、請求項4または5記載の薄膜トランジスタの製造方法において、ポリシリコン薄膜に不純物を注入した後、ランプアニール処理を行う前に、ゲート電極をマスクとしてソース・ドレイン領域上のゲート絶縁膜を除去することを特徴とする。

【0013】このように、ソース・ドレイン領域上のゲート絶縁膜を除去することにより、自己整合的にトランジスタを形成しながら、アニールを実施し、特性の向上を図ることができる。請求項7記載の薄膜トランジスタの製造方法は、請求項4または5記載の薄膜トランジスタの製造方法において、ランプアニール処理を行う際、透明基板表面に対してランプ光を斜めから照射することを特徴とする。

【0014】このように、ランプ光を斜めから照射することにより、ゲート電極の下にまでランプ光が入り込み、広い範囲で活性化およびダメージの除去を行うことができる。なお、チャネル領域内のソース・ドレイン近傍のダメージは、特にトランジスタの特性に及ぼす影響が大きいので、ソース・ドレイン領域だけでなく照射領域は広いほどよい。

【0015】請求項8記載の薄膜トランジスタの製造方法は、請求項4または5記載の薄膜トランジスタの製造方法において、ランプアニール処理を行う際、透明基板の裏面からランプ光の照射を行うことを特徴とする。このように、透明基板の裏面からランプ光の照射を行うことにより、ゲート電極の直下にもランプ光が照射され、広い範囲で活性化およびダメージの除去を行うことができる。

【0016】請求項9記載の薄膜トランジスタの製造方法は、請求項4または5記載の薄膜トランジスタの製造方法において、透明基板とポリシリコン薄膜との間にランプ光を反射する反射板を形成することを特徴とする。これによれば、ランプアニール処理を行う際、反射板によりランプ光が反射し、その反射光がゲート電極の直下に照射され、広い範囲で活性化およびダメージの除去を行うことができる。

【0017】請求項10記載の薄膜トランジスタの製造方法は、請求項2, 3, 4または5記載の薄膜トランジスタの製造方法において、ランプアニール処理を行う際、透明基板を回転させながらランプ光の照射を行うことを特徴とする。このように、透明基板を回転させながらランプ光の照射を行うことにより、アレーの面内で均一に加熱することができ、均一性の高い薄膜トランジスタを製造することができる。

【0018】請求項11記載の薄膜トランジスタの製造方法は、請求項2, 3, 4または5記載の薄膜トランジスタの製造方法において、ランプアニール処理を行う際、透明基板を予め加熱しておくことを特徴とする。こ

50

4

のようにランプアニール処理を行う際、透明基板を予め加熱しておくことにより、結晶性のよりよい薄膜トランジスタを製造することができる。

【0019】請求項12記載の薄膜トランジスタの製造方法は、請求項1, 2, 3, 4または5記載の薄膜トランジスタの製造方法において、ランプアニール処理は、ハロゲンランプを用いて行うことを特徴とする。このようにハロゲンランプを用いることにより、容易に不純物の活性化およびダメージの回復を実現できる。

【0020】

【発明の実施の形態】この発明の実施の形態について説明する。この発明による薄膜トランジスタの製造方法は、ガラス基板等の透明基板上に形成されたアモルファスシリコン薄膜またはポリシリコン薄膜のソース・ドレイン形成領域に不純物を注入し、その後、波長400～1000nmのハロゲンランプによるランプ光を照射してアニール処理を行うようにしている。

【0021】この方法によれば、ハロゲンランプによるランプ光の照射により、不純物の活性化および不純物注入によるダメージの回復を同時に行うことができ、電気特性に優れ、電気的なストレスに対しても劣化の少ない薄膜トランジスタを製造することができる。このためには、シリコン薄膜に吸収される波長400～1000nmが必要であるためハウジングランプを用いている。また、アモルファスシリコン薄膜の場合には、ランプ光の照射により、結晶化も同時に進行することができる。

【0022】また、ゲート電極の形成等については、後述の実施例で詳細に説明する。

【0023】

【実施例】以下、この発明の実施例について図面を参照しながら説明する。

【第1の実施例】図1はこの発明の第1の実施例の薄膜トランジスタの製造方法を示す工程断面図である。

【0024】例えば、コーニング社の#7059または#1737をガラス基板10(透明基板)として用い、まず、ガラス基板10の上にCVD法で2000Å程度の酸化膜15を堆積し、この酸化膜15上にアモルファスシリコン薄膜20をCVD法で500～1000Å程度堆積する(図1(a))。アモルファスシリコン薄膜20の上にレジスト30を塗布し、ゲート電極と同じパターンに成形する(図1(b))。つぎに、レジスト30をマスクにして、燐を10keV以下の低エネルギーで $1 \times 10^{15} \text{ cm}^{-2}$ 程度のイオンドーピング40を行い、ソース・ドレイン領域60を形成する(図1(c))。

【0025】つぎに、レジスト30を除去し、アモルファスシリコン薄膜20上からハロゲンランプを用いたランプ光照射50によるアニールを実施する(図1(d))。このランプ光照射50によって、アモルファスシリコン薄膜20は、結晶化されてポリシリコン薄膜

20aとなり、また、不純物の燐も活性化されるとともに、ドーピングにより生じたダメージも回復する。これは、ドーピングによって生じた格子欠陥がランプ光照射50によって回復するためと考えられる。

【0026】つぎに、ゲート絶縁膜70をCVD法で1000Å程度堆積し(図1(e))、その上にゲート電極80を形成して薄膜トランジスタが完成する(図1(f))。ゲート電極80は、例えばスパッタ法によりTaを2000Å程度形成している。以上のようにこの実施例によれば、ランプ光照射50により、アモルファスシリコン薄膜20の結晶化、不純物の活性化およびドーピングによるダメージの回復を同時に行うことができる。また、アモルファスシリコン薄膜20の全面、すなわちソース・ドレイン領域60およびその間のチャネル領域の全領域にランプ光照射50が行われるため、広い範囲での活性化およびダメージの回復が行われ、結晶性のよい薄膜トランジスタを製造することができ、電気的特性に優れ、電気的なストレスに対しても劣化の少ない薄膜トランジスタを実現できる。

【0027】なお、この実施例では、ゲート絶縁膜70の形成前にランプ光照射50を行ったが、ゲート絶縁膜70の形成後にランプ光照射50を行っても同様の効果を得ることができる。なお、この実施例および以下の実施例では、ランプ光照射50によりガラス基板10は600°C以上になると変形するため、ガラス基板10を変形させないようにランプ光照射50は1分以内程度で行っている。

【0028】また、酸化膜15は、ガラス基板10中の不純物がアモルファスシリコン薄膜20中へ拡散するのを防止するために形成しているが、第2の実施例以降では、説明を簡略化するため省略する。

【第2の実施例】図2はこの発明の第2の実施例の薄膜トランジスタの製造方法を示す工程断面図である。

【0029】まず、ガラス基板10の上にアモルファスシリコン薄膜20を500～1000Å程度堆積し(図2(a))、ハロゲンランプを用いたランプ光照射50を実施して、アモルファスシリコン薄膜20を結晶化してポリシリコン薄膜20aとする(図2(b))。つぎに、レジスト30を塗布し、ゲート電極と同じパターンに成形した後、このレジスト30をマスクに燐を10keV, $1 \times 10^{15} \text{ cm}^{-2}$ のイオンドーピング40を行う(図2(c))。

【0030】つぎに、レジスト30を除去した後、再びハロゲンランプを用いたランプ光照射50によるアニールを実施する(図2(d))。このランプ光照射50によってソース・ドレイン領域60の不純物の活性化を行うとともに、イオンドーピングにより生じたダメージを回復させることができる。つぎに、ゲート絶縁膜70を1000Å程度堆積し(図2(d))、その上にゲート電極80を形成して薄膜トランジスタが完成する(図2

(f))。

【0031】この実施例によれば、ランプ光照射50によってアモルファスシリコン薄膜20を結晶化した後、イオンドーピング40を行い、その後、再度ランプ光照射50を行うことにより不純物の活性化およびドーピングによるダメージの回復を同時に行っている。この場合も図1の製造方法と同様の効果が得られる。また、図1と比較した場合、イオンドーピング40の前に結晶化を行うことにより、イオンドーピング40によるダメージが少なくなる。

【0032】なお、図2(b)の工程における結晶化は、ランプ光照射50の代わりにエキシマレーザを用いて行なってもよい。なお、この実施例では、ゲート絶縁膜70の形成前にランプ光照射50を行ったが、ゲート絶縁膜70の形成後にランプ光照射50を行っても同様の効果を得ることができる。

【0033】〔第3の実施例〕図3はこの発明の第3の実施例の薄膜トランジスタの製造方法を示す工程断面図である。まず、ガラス基板10の上にアモルファスシリコン薄膜20を500～1000Å程度堆積し(図3(a))、ハロゲンランプを用いたランプ光照射50を実施して、アモルファスシリコン薄膜20を結晶化してポリシリコン薄膜20aとする(図3(b))。

【0034】つぎに、ゲート絶縁膜70を1000Å程度堆積し(図3(c))、その上に、ゲート電極80を形成し、このゲート電極80をマスクに燐を80keV, $1 \times 10^{15} \text{ cm}^{-2}$ のイオンドーピング40を行う(図3(d))。この後、ハロゲンランプを用いたランプ光照射50によるアニールを実施し、ソース・ドレイン領域60の不純物の活性化を行うとともに、イオンドーピングにより生じたダメージを回復させて、薄膜トランジスタが完成する(図3(e))。

【0035】この実施例によれば、アモルファスシリコン薄膜20の結晶化を行い、ゲート絶縁膜70およびゲート電極80を形成した後、ランプ光照射50によるアニールを実施することにより、不純物の活性化およびドーピングによるダメージの回復を同時に行うことができる。また、ゲート絶縁膜70を通してランプ光照射50を行うことにより、熱が逃げにくく保温効果が高くなり、結晶性のよい薄膜トランジスタを製造することができる。

【0036】なお、図3(b)の工程における結晶化は、ランプ光照射50の代わりにエキシマレーザを用いて行なってもよい。なお、第1および第2の実施例では、燐のイオンドーピングをアモルファスシリコン薄膜20に直接実施し、そのダメージを低減するために10keV以下の低エネルギーで行ったが、この第3の実施例以降では、ゲート絶縁膜70を介してイオンドーピングを実施するため、80keVで行っている。

【0037】〔第4の実施例〕図4はこの発明の第4の

10

20

30

40

50

実施例の薄膜トランジスタの製造方法を示す工程断面図である。まず、ガラス基板10の上にアモルファスシリコン薄膜20を500～1000Å程度堆積し(図4(a))、ハロゲンランプを用いたランプ光照射50を実施して、アモルファスシリコン薄膜20を結晶化してポリシリコン薄膜20aとする(図4(b))。

【0038】つぎに、ゲート絶縁膜70を1000Å程度堆積し(図4(c))、その上に、ゲート電極80を形成し、このゲート電極80をマスクに燐を80keV, $1 \times 10^{15} \text{ cm}^{-2}$ のイオンドーピング40を行う(図4(d))。つぎに、ゲート電極80をマスクにしてゲート絶縁膜70をエッチングする。このエッチングによってソース・ドレイン領域60が露出する(図4(e))。この後、ハロゲンランプを用いたランプ光照射50によるアニールを実施し、ソース・ドレイン領域60の不純物の活性化を行うとともに、イオンドーピングにより生じたダメージを回復させて、薄膜トランジスタが完成する(図4(f))。

【0039】この実施例によれば、ソース・ドレイン領域60上のゲート絶縁膜70を除去した後、ランプ光照射50を行うことにより、自己整合的にトランジスタを形成しながら、アニールを実施し、特性の向上を図ることができる。なお、図4(b)の工程における結晶化は、ランプ光照射50の代わりにエキシマレーザを用いて行なってもよい。

【0040】〔第5の実施例〕図5はこの発明の第5の実施例の薄膜トランジスタの製造方法を示す工程断面図である。まず、ガラス基板10の上にアモルファスシリコン薄膜20を500～1000Å程度堆積し(図5(a))、ハロゲンランプを用いたランプ光照射50を実施して、アモルファスシリコン薄膜20を結晶化してポリシリコン薄膜20aとする(図5(b))。

【0041】つぎに、ゲート絶縁膜70を1000Å程度堆積し(図5(c))、その上に、ゲート電極80を形成し、このゲート電極80をマスクに燐を80keV, $1 \times 10^{15} \text{ cm}^{-2}$ のイオンドーピング40を行う(図5(d))。この後、ソース・ドレイン領域60の不純物の活性化を行うとともに、イオンドーピングにより生じたダメージを回復させるために、ハロゲンランプを用いたランプ光照射50によるアニールを実施するが、このとき、ランプ光照射50の角度をガラス基板10に対してできるだけ小さい角度にする(図5(e))。

このようにできるだけ小さい角度にしたほうがゲート電極80の直下にもランプ光照射50が入りやすい。この場合、一方向からのランプ光照射50だけであればゲート電極80の陰となる場所ができるので、反対方向からも再度ランプ光照射50を行い、薄膜トランジスタが完成する(図5(f))。

【0042】この実施例によれば、ランプ光照射50をガラス基板10に対して斜めから行うことにより、ゲー

ト電極 80 の下にまでランプ光が入り込み、広い範囲で活性化およびダメージの除去を行うことができる。なお、チャネル領域内のソース・ドレイン近傍のダメージは、特にトランジスタの特性に及ぼす影響が大きいので、ソース・ドレイン領域 60 だけでなく照射領域は広いほどよい。また、図 5 (e), (f) の工程において、ガラス基板 10 を回転させながら、照射するとなお一層の効果が得られる。

【0043】なお、図 5 (b) の工程における結晶化は、ランプ光照射 50 の代わりにエキシマレーザを用いて行なってもよい。

【第 6 の実施例】図 6 はこの発明の第 6 の実施例の薄膜トランジスタの製造方法を示す工程断面図である。

【0044】まず、ガラス基板 10 の上にアモルファスシリコン薄膜 20 を 500~1000 Å 程度堆積し(図 6 (a))、ハロゲンランプを用いたランプ光照射 50 をガラス基板 10 の裏面から実施して、アモルファスシリコン薄膜 20 を結晶化してポリシリコン薄膜 20a とする(図 6 (b))。つぎに、ゲート絶縁膜 70 を 1000 Å 程度堆積し(図 6 (c))、その上に、ゲート電極 80 を形成し、このゲート電極 80 をマスクに燐を 80 keV, $1 \times 10^{15} \text{ cm}^{-2}$ のイオンドーピング 40 を行う(図 6 (d))。

【0045】この後、ハロゲンランプを用いたランプ光照射 50 をガラス基板 10 の裏面から実施し、ソース・ドレイン領域 60 の不純物の活性化を行うとともに、イオンドーピングにより生じたダメージを回復させて、薄膜トランジスタが完成する(図 6 (e))。この実施例によれば、ゲート電極 80 を形成していないガラス基板 10 の裏面側からランプ光照射 50 を行うことにより、ゲート電極 80 の直下にも照射され、広い範囲で活性化およびダメージの回復を行うことができる。

【0046】なお、図 6 (b) の工程における結晶化は、ランプ光照射 50 をアモルファスシリコン薄膜 20 の上方から実施しても同様であり、また、ランプ光照射 50 の代わりにエキシマレーザを用いて行なってよい。

【第 7 の実施例】図 7 はこの発明の第 7 の実施例の薄膜トランジスタの製造方法を説明するための断面図である。

【0047】まず、ガラス基板 10 の上にランプ光を反射する反射板 90 を形成し、その上に絶縁膜 95 を堆積する。つぎに、ガラス基板 10 の上にアモルファスシリコン薄膜を 500~1000 Å 程度堆積し、ハロゲンランプを用いたランプ光照射 50 を実施して、アモルファスシリコン薄膜を結晶化してポリシリコン薄膜 20a とする。

【0048】つぎに、ゲート絶縁膜 70 を 1000 Å 程度堆積し、その上に、ゲート電極 80 を形成し、このゲート電極 80 をマスクに燐を 80 keV, $1 \times 10^{15} \text{ c}$

10

m^{-2} のイオンドーピングを行う。この後、再びハロゲンランプを用いたランプ光照射 50 によるアニールを実施し、ソース・ドレイン領域 60 の不純物の活性化を行うとともに、イオンドーピングにより生じたダメージを回復させて、薄膜トランジスタが完成する。

【0049】この実施例によれば、ランプ光照射 50 による光は反射板 90 によって反射されて、一部はゲート電極 80 の直下にも照射されるため、広い範囲で活性化およびダメージの回復を行うことができる。なお、アモルファスシリコン薄膜の結晶化は、ランプ光照射 50 の代わりにエキシマレーザを用いて行なってよい。

【0050】上記の実施例において、不純物注入時のダメージを除去するためには、歪んだ格子が元にもどるためのエネルギーを与えなければならない。ダメージを除去することにより、電流を運ぶキャリアが欠陥に捕獲されることなく、初期特性も信頼性劣化特性も向上する。また、チャネル領域内のソース・ドレイン近傍のダメージは特にトランジスタの特性に及ぼす影響が大きいので、ソース・ドレイン領域 60 だけでなく照射領域は広いほどよい。

【0051】また、上記実施例において、ランプアニール処理を行う際、ガラス基板 10 を回転させながらランプ光照射 50 を行えば、アレーの面内で均一に加熱することができ、均一性の高い薄膜トランジスタを製造することができる。さらに、上記実施例において、ランプアニール処理を行う際、ガラス基板 10 を予め加熱しておくことにより、結晶性のよりよい薄膜トランジスタを製造することができる。

【0052】また、上記実施例では、不純物として燐を導入したが、これは n チャネルの薄膜トランジスタを作製する場合には砒素などドナーとして働くものなら何でもよく、 p チャネルの薄膜トランジスタを作製する場合にはほう素などアクセプタとして働くものならば何でもよい。また、上記実施例では、不純物の注入を、質量分離を行わないイオンドーピング法を用いているため、イオン種が選択されずに、燐イオンの他に例えば水素イオン等も注入されるが、質量分離を行い燐イオンのみを注入するイオン注入法を用いてよい。なお、質量分離を行わないイオンドーピング法の場合には、水素と一緒に注入するので、低温による活性化が容易で、大面積に対応でき、また、時間も短くてすむ。一方、質量分離を行うイオン注入法の場合には、選別された不純物のみ注入され、浅い接合が作製可能である。

【0053】なお、上記実施例では、ゲート電極 80 がゲート絶縁膜 70 を挟んでシリコン薄膜より上部に位置したトップゲート型の TFT について説明したが、ゲート電極がゲート絶縁膜を挟んでシリコン薄膜の下に位置するボトムゲート型の TFT に、本発明を適用することもできる。

50
【0054】

【発明の効果】 この発明の薄膜トランジスタの製造方法によれば、ソース・ドレイン領域を形成するために不純物を注入したアモルファスシリコン薄膜またはポリシリコン薄膜にランプ光を照射してランプアニール処理を行うことにより、不純物の活性化と、不純物注入によるダメージの回復とを同時に行うことができ、初期特性も信頼性劣化特性も向上する薄膜トランジスタを製造できる。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施例の薄膜トランジスタの 10 製造方法を示す工程断面図である。

【図 2】 この発明の第 2 の実施例の薄膜トランジスタの 15 製造方法を示す工程断面図である。

【図 3】 この発明の第 3 の実施例の薄膜トランジスタの 20 製造方法を示す工程断面図である。

【図 4】 この発明の第 4 の実施例の薄膜トランジスタの 25 製造方法を示す工程断面図である。

【図 5】 この発明の第 5 の実施例の薄膜トランジスタの 30 製造方法を示す工程断面図である。

製造方法を示す工程断面図である。

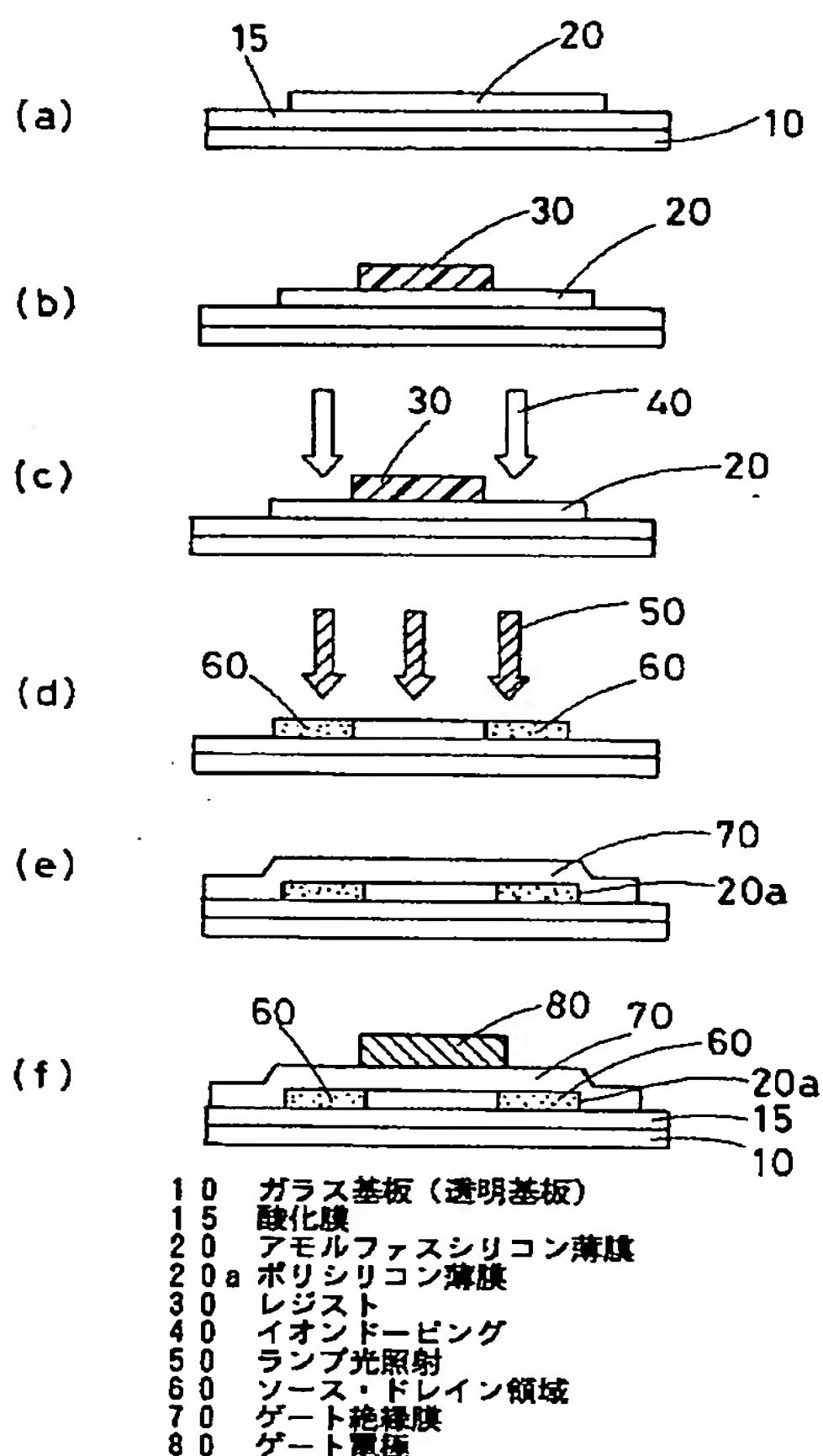
【図 6】 この発明の第 6 の実施例の薄膜トランジスタの 35 製造方法を示す工程断面図である。

【図 7】 この発明の第 7 の実施例の薄膜トランジスタの 40 製造方法を説明するための断面図である。

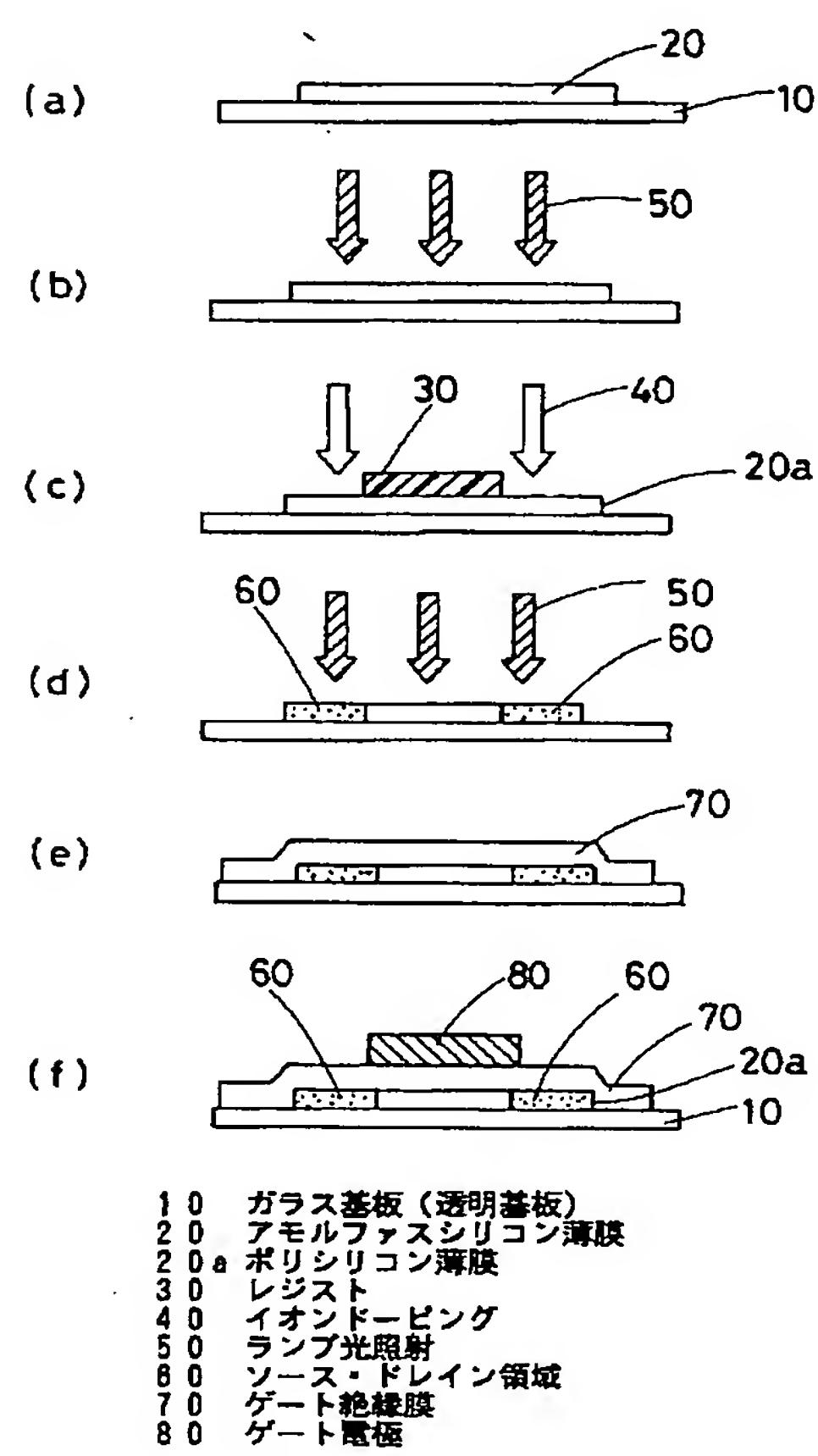
【符号の説明】

- | | |
|-----|--------------|
| 10 | ガラス基板（透明基板） |
| 15 | 酸化膜 |
| 20 | アモルファスシリコン薄膜 |
| 20a | ポリシリコン薄膜 |
| 30 | レジスト |
| 40 | イオンドーピング |
| 50 | ランプ光照射 |
| 60 | ソース・ドレイン領域 |
| 70 | ゲート絶縁膜 |
| 80 | ゲート電極 |
| 90 | 反射板 |
| 95 | 絶縁膜 |

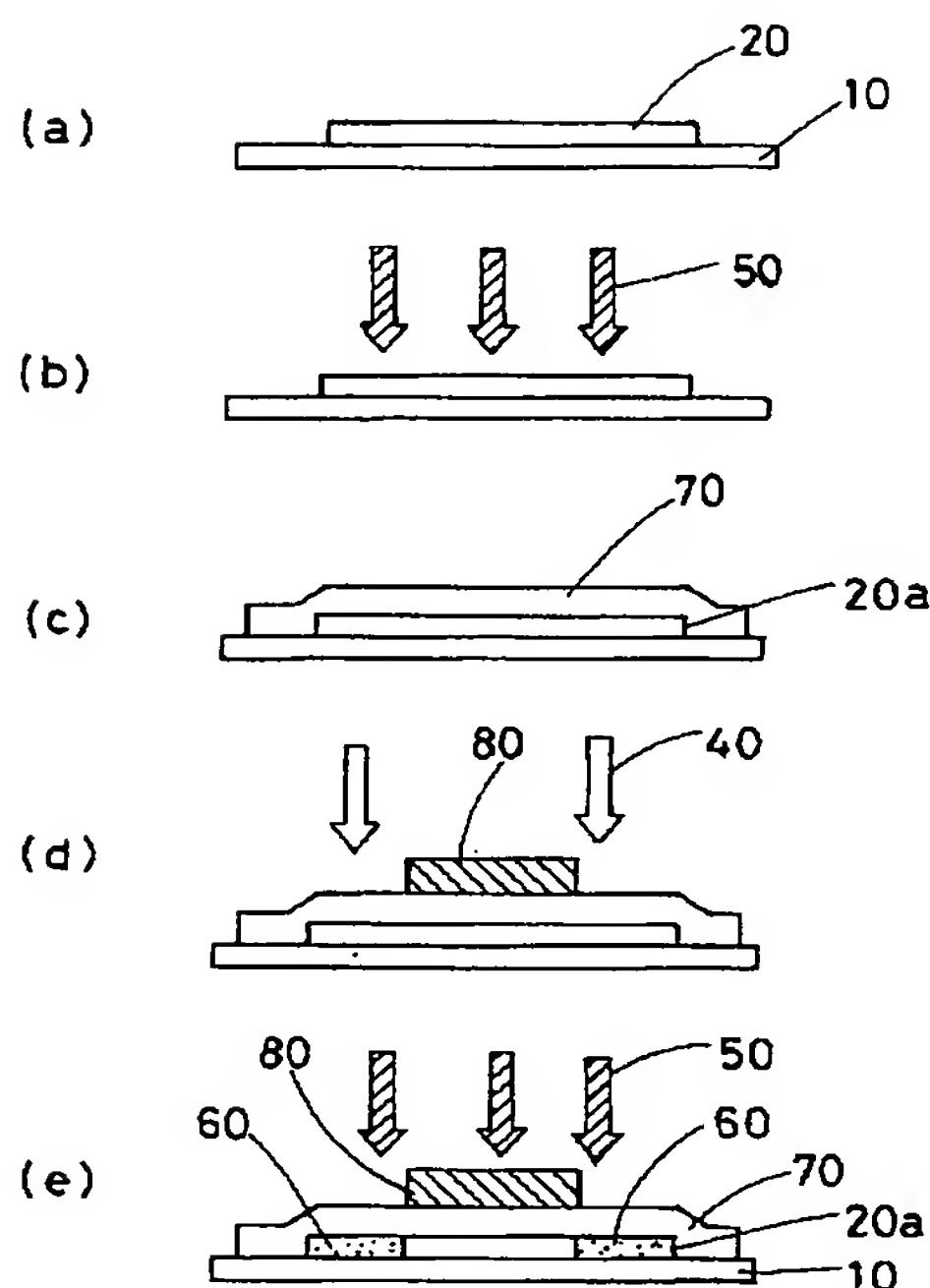
【図 1】



【図 2】

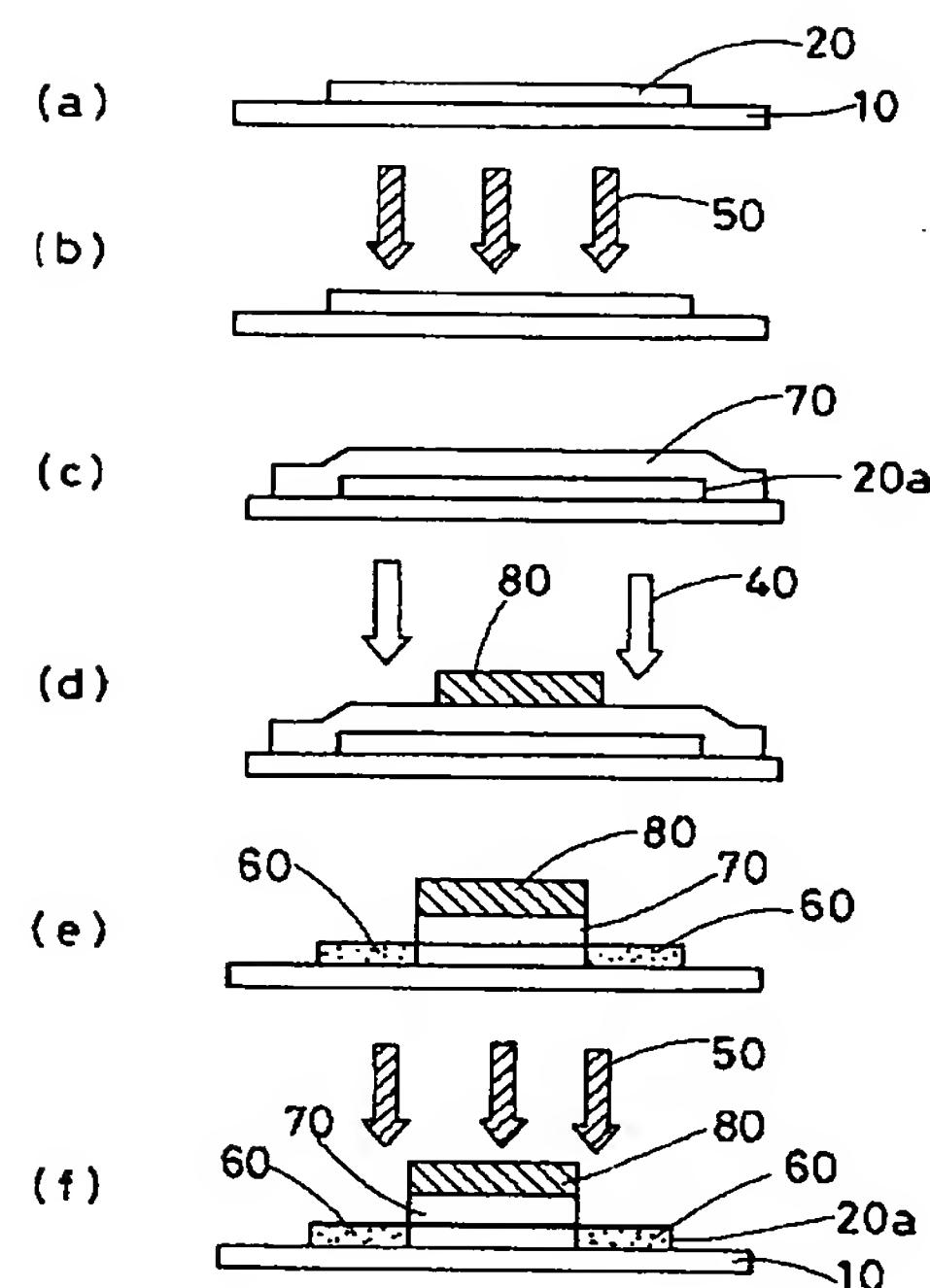


【図 3】



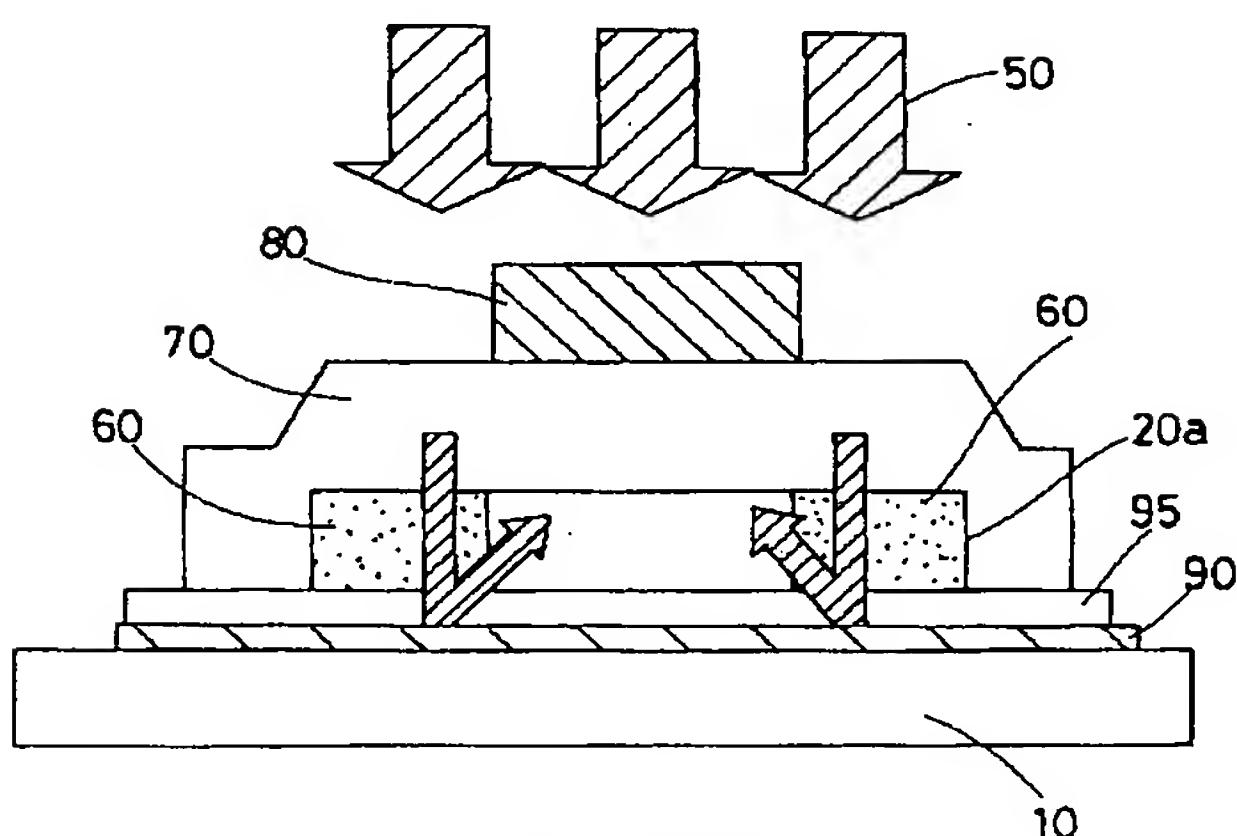
- 10 ガラス基板(透明基板)
 20 アモルファスシリコン薄膜
 20a ポリシリコン薄膜
 30 レジスト
 40 イオンドーピング
 50 ランプ光照射
 60 ソース・ドレイン領域
 70 ゲート絶縁膜
 80 ゲート電極

【図 4】



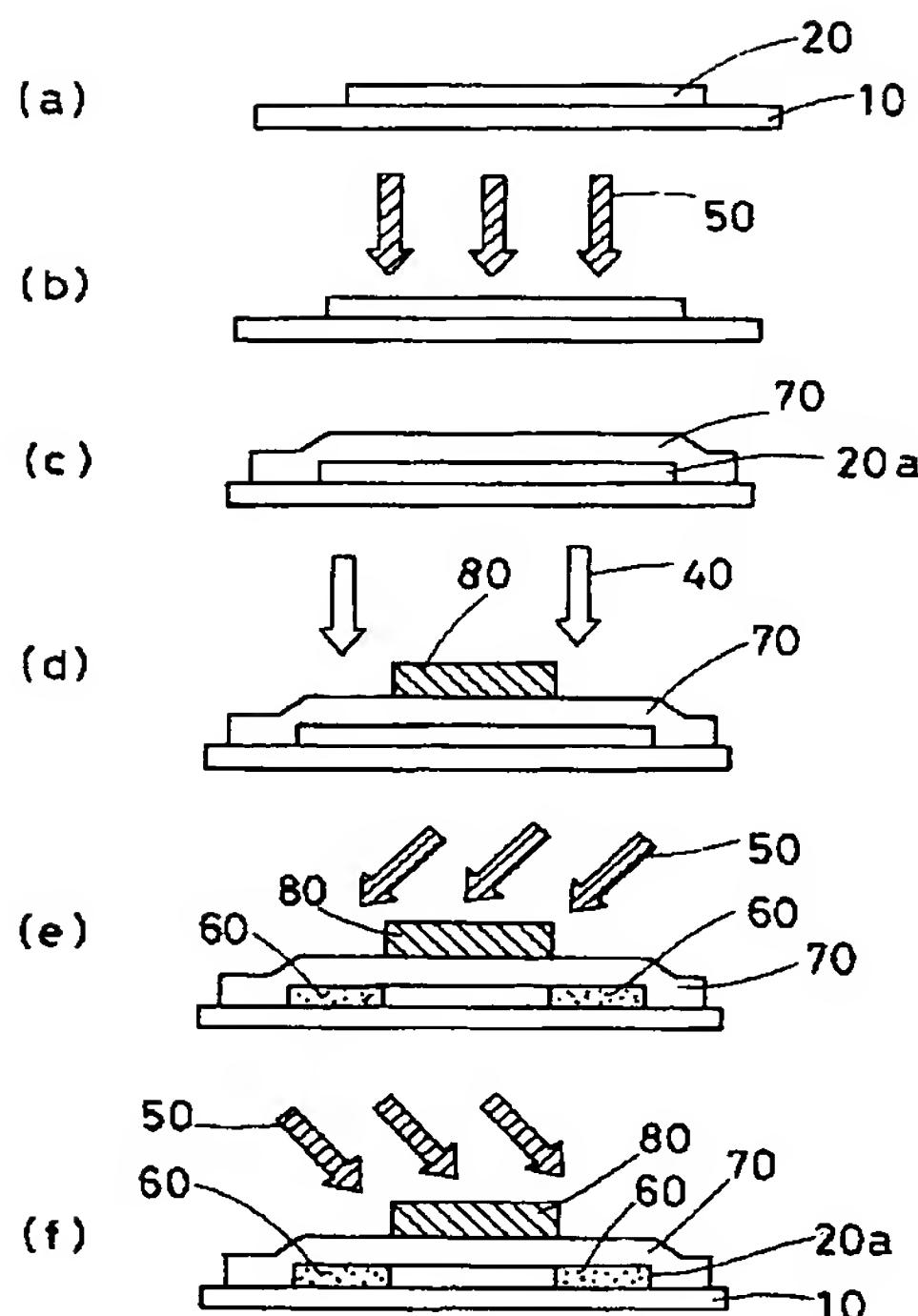
- 10 ガラス基板(透明基板)
 20 アモルファスシリコン薄膜
 20a ポリシリコン薄膜
 30 レジスト
 40 イオンドーピング
 50 ランプ光照射
 60 ソース・ドレイン領域
 70 ゲート絶縁膜
 80 ゲート電極

【図 7】



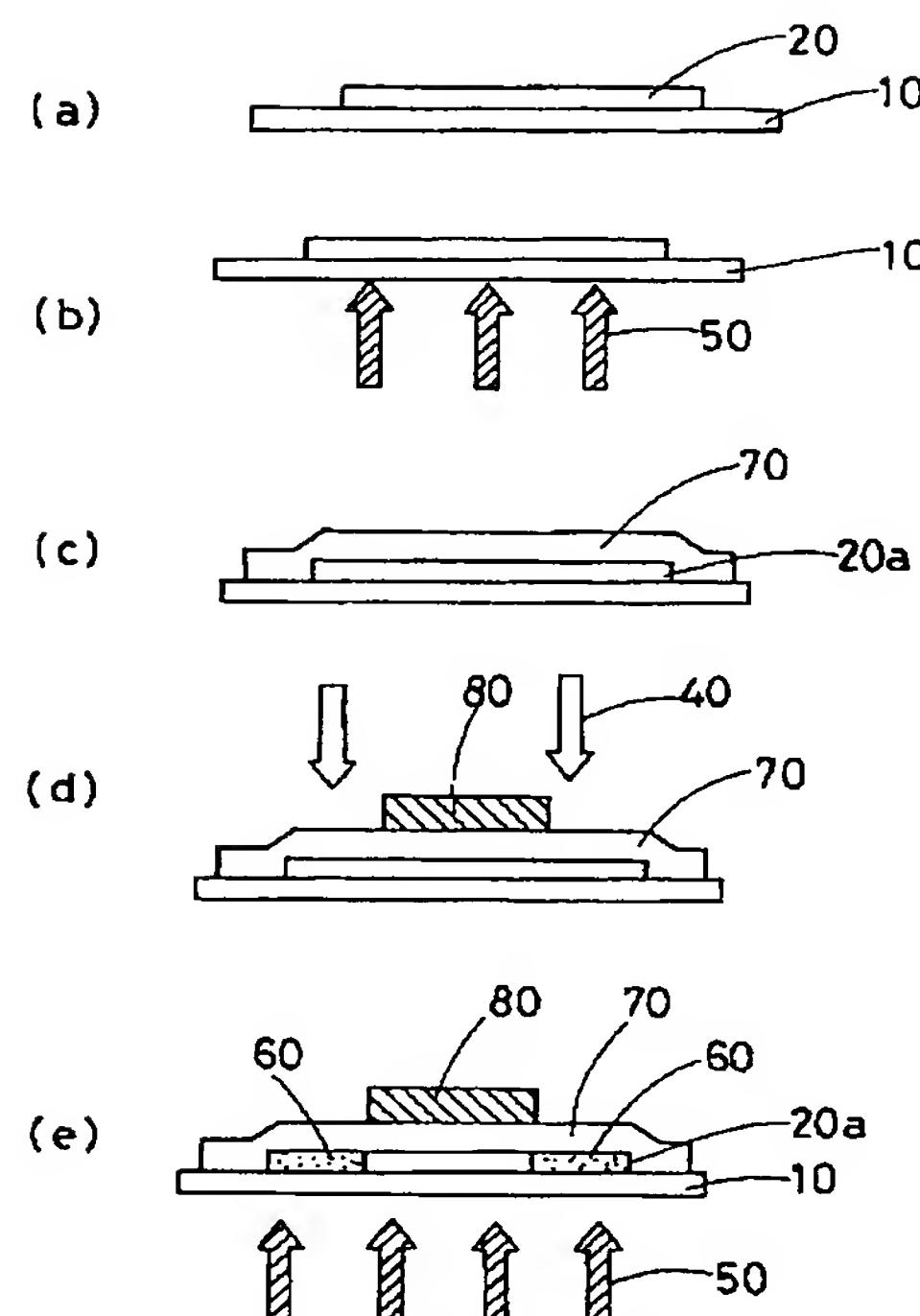
- 10 ガラス基板(透明基板)
 20a ポリシリコン薄膜
 30 レジスト
 40 イオンドーピング
 50 ランプ光照射
 60 ソース・ドレイン領域
 70 ゲート絶縁膜
 80 ゲート電極
 90 反射板
 95 絶縁膜

【図5】



10 ガラス基板(透明基板)
20 アモルファスシリコン薄膜
20a ポリシリコン薄膜
30 レジスト
40 イオンドーピング
50 ランプ光照射
60 ソース・ドレイン領域
70 ゲート絶縁膜
80 ゲート電極

【図6】



10 ガラス基板(透明基板)
20 アモルファスシリコン薄膜
20a ポリシリコン薄膜
30 レジスト
40 イオンドーピング
50 ランプ光照射
60 ソース・ドレイン領域
70 ゲート絶縁膜
80 ゲート電極

フロントページの続き

(51) Int.CI.⁶

H 0 1 L 27/12

識別記号

府内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 1 6 M

(72)発明者 川村 哲也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 吉岡 達男

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 宮田 豊

大阪府門真市大字門真1006番地 松下電器
産業株式会社内